

## (12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2001年2月22日 (22.02.2001)

PCT

(10) 国際公開番号  
WO 01/13378 A1

(51) 国際特許分類7: G11C 16/02, H01L 29/788 (72) 発明者: および  
(75) 発明者/出願人(米国についてのみ): 河村祥一 (KAWAMURA, Shoichi) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP00/01158 (74) 代理人: 土井健二, 外(DOI, Kenji et al.); 〒222-0033 神奈川県横浜市港北区新横浜3-9-5 第三東昇ビル林・土井国際特許事務所 Kanagawa (JP).

(22) 国際出願日: 2000年2月28日 (28.02.2000) (81) 指定国(国内): KR, US.

(25) 国際出願の言語: 日本語 (添付公開書類:  
— 国際調査報告書

(26) 国際公開の言語: 日本語

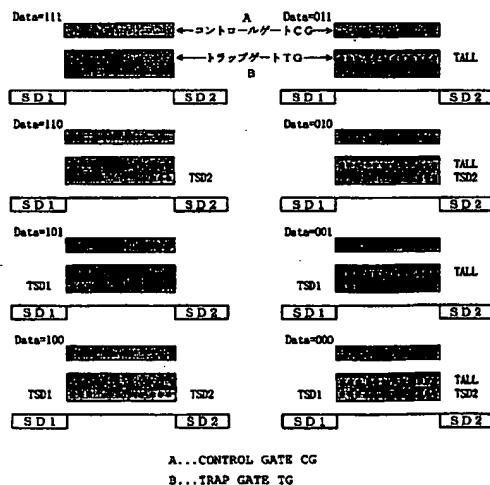
(30) 優先権データ:  
特願平11/226913 1999年8月10日 (10.08.1999) JP

(71) 出願人(米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: MULTIPLE-BIT NONVOLATILE MEMORY USING NON-CONDUCTIVE CHARGE TRAP GATE

(54) 発明の名称: 非導電性のチャージトラップゲートを利用した多ビット不揮発性メモリ



(57) Abstract: Nonvolatile memory having, in order to record multi-valued data, first and second source/drain regions (SD1, SD2) on a semiconductor substrate surface, and a non-conductive trap gate (TG) and a conductive floating gate (CG) on a channel region between the first and second regions via an insulating film. A memory cell which has a first or second status where hot electrons generated in the vicinity of the first or second source/drain region are captured locally into a first or second trap gate region (TSD1, TSD2) in the vicinity of the source/drain regions, and a third status where electrons are injected into the entire trap gate (TG), thereby recording 3-bit information.

WO 01/13378 A1

[競業有]



---

(57) 要約:

多値のデータを記録するために、半導体基板の表面に、第1及び第2のソース・ドレイン領域（S D 1, S D 2）と、その間のチャネル領域上に、絶縁膜を介して非導電性のトラップゲート（T G）と導電性のフローティングゲート（C G）とを有する不揮発性メモリである。本発明のメモリセルは、第1または第2のソース・ドレイン領域の近傍に発生させたホットエレクトロンを、それら近傍の第1または第2のトラップゲート領域（T S D 1, T S D 2）に局所的に捕獲する第1または第2の状態と、トラップゲート（T G）全体に電子を注入する第3の状態とを有し、これにより3ビットの情報を記録する。

## 明 紹 書

## 非導電性のチャージトラップゲートを利用した多ビット不揮発性メモリ

## 5 技術分野

本発明は、非導電性のチャージトラップゲートを利用して、1つのメモリセルに多ビット情報を記録することができる新規な不揮発性メモリに関する。

## 背景技術

10 半導体を利用した不揮発性メモリは、電源をオフにしても情報を保持することができ、且つ高速読み出しができることから、情報記録媒体として広く利用されている。近年においては、携帯情報端末に利用されたり、デジタルカメラやMP3データのデジタルミュージックなどの記録媒体として利用されている。

現在普及しているフラッシュメモリなどの不揮発性メモリは、ソース、ドレイン領域の間のチャネル領域上に、導電性のフローティングゲートとコントロールゲートを有する構造である。かかる不揮発性メモリは、フローティングゲートがゲート絶縁膜内に埋め込まれて構成され、このフローティングゲートに電荷（チャージ）を注入する、しないにより、1ビットの情報を記憶する。かかる普及型の不揮発性メモリは、フローティングゲートが導電性であるので、ゲート酸化膜にわずかでも欠陥が存在すると、その欠陥を通じてフローティングゲート内の電子が全て消失してしまい、信頼性を高くできない問題がある。

上記の普及型の不揮発性メモリとは別に、フローティングゲートの代わりに非導電性のチャージトラップゲートを設けて、ソース側及びドレイン側にチャージをトラップさせて、2ビットの情報を記憶する新しいタイプの不揮発性メモリが提案されている。例えば、PCT出願、WO99/07000「Two Bit Non-Volatile Electrically Erasable and Programmable Semiconductor Memory Cell Utilizing Asymmetrical Charge Trapping」にかかる不揮発性メモリが記載されている。この不揮発性メモリは、トラップゲートが非導電性であるので、局所的に注入した

電子が消失する確率は低く、信頼性を高くすることができる。

第1図は、上記従来の2ビット不揮発性メモリの構成を示す図である。第1図(1)はその断面図であり、第1図(2)はその等価回路図である。シリコン基板1の表面に、ソース・ドレイン領域SD1, SD2が形成され、シリコン窒化膜などで形成されるトラップゲートTGと導電材料のコントロールゲートCGがチャネル領域上に形成される。トラップゲートTGは、シリコン酸化膜などの絶縁膜2内に埋め込まれていて、全体でMONOS(Metal-Oxide-Nitride-Oxide-Semiconductor)構造になる。シリコン窒化膜とシリコン酸化膜とのバンドギャップの差を利用して、シリコン窒化膜にチャージをトラップさせて保持させること10ができる。

この不揮発性メモリの特徴的な構成は、トラップゲートTGが、誘電体などの非導電性物質からなり、このトラップゲートTGにチャージを注入した場合、トラップゲート内をチャージが移動することができない。従って、第1のソース・ドレイン領域SD1の近傍にチャージを注入した場合と、第2のソース・ドレイン領域SD2の近傍にチャージを注入した場合とを区別することができ、2ビットのデータを記録することができる。

第1図(2)は、上記の2ビット不揮発性メモリの等価回路図である。トラップゲートTGが、非導電性であるので、第1のソース・ドレイン領域SD1の近傍の第1のトラップゲート領域TSD1と、第2のソース・ドレイン領域SD2の近傍の第2のトラップゲート領域TSD2とに、別々のMOSトランジスタが形成されている構成と等価になる。そして、後述する読み出しやプログラム(書き込み)動作では、第1及び第2のソース・ドレイン領域SD1, SD2は、一方がソース領域としてまたはドレイン領域として利用されるので、本明細書では、それぞれ、第1のソース・ドレイン領域SD1、第2のソース・ドレイン領域SD2と称する。

第2図は、従来の2ビット不揮発性メモリのプログラム、消去及び読み出しを説明するための図である。第1のソース・ドレイン領域SD1に印加される電圧をV(SD1)、第2のソース・ドレイン領域SD2に印加される電圧をV(SD2)、コントロー

ルゲートに印加される電圧を $V_g$ とする。

第2図(1)に示される通り、不揮発性記憶メモリのプログラム(書き込み)は、例えば $V_g=10V$ 、 $V(SD1)=0V$ 、 $V(SD2)=6V$ を印加し、第2のソース・ドレイン領域SD2の近傍で発生したホット・エレクトロンを、第2のソース・ドレイン領域SD2に近い第2のトラップゲート領域TSD2中に注入することにより行われる。

また、消去動作では、コントロールゲートCGに $V_g=-5V$ 、第1または第2のソース・ドレイン領域SD1またはSD2、もしくはその両方に5Vを印加し、FNトンネル(ファウラー・ノルドハイム・トンネル)現象を利用してトラップゲートTG中から電子を引き抜く。同時にソース・ドレイン領域SD1、SD2の近傍で発生したホット・ホールをトラップゲートTGに注入することにより、トラップゲートTG中の電荷を中和する。

次に、読み出しへは、第1及び第2のソース・ドレイン領域SD1、SD2間に、プログラムとは反対方向の電圧を印加し、第2のトラップゲート領域TSD2に電子がトラップされているか否かを検出する。即ち、第2のトラップゲート領域TSD2の状態を読み出すためには、例えば $V_g=3V$ 、 $V(SD1)=1.6V$ 、 $V(SD2)=0V$ を印加する。ここで、第2図(3)のように、第2のソース・ドレイン領域SD2付近の第2のトラップゲート領域TSD2に電子が存在すると、ゲート下のチャネルが第2のソース・ドレイン領域SD2までつながらず、チャネル電流が流れない(0データ格納状態)。逆に第2図(4)のように、第2のソース・ドレイン領域SD2付近の第2のトラップゲート領域TSD2に電子が存在しなければ、チャネルが第2のソース・ドレイン領域SD2までつながり、チャネル電流が流れる(1データ格納状態)。こうして、第2のトラップゲート領域TSD2に電子が蓄積されているか否かを、セルトランジスタのオン・オフ、つまり電流の有無で検出することができる。

また、不揮発性記憶メモリの読み出しにおいて、第2図(4)のように、 $V_g=3V$ 、 $V(SD1)=0V$ 、 $V(SD2)=1.6V$ として、第1及び第2のソース・ドレイン領域間の電圧印加状態を上記第2図(3)と逆にすると、仮に第2のトラップゲート領域TSD2に電子が存在しても、チャネルがピンチ・オフしたMOSトランジスタと

同じ状態になり、チャネル電流が流れる。従って、このような電圧印加状態では、第1のソース・ドレイン領域SD1付近の第1のトラップゲート領域TSD1に電子が蓄積されているか否かを、第2のトラップゲート領域TSD2の電子の有無にかかわらず検出することができる。

5 上記の通り、従来のメモリでは、第1のソース・ドレイン領域SD1付近の窒化膜の領域TSD1と第2のソース・ドレイン領域SD2付近の窒化膜の領域TSD2に電子を蓄積したりしなかったりすることで、2ビットの情報を記録することができ、大容量化やチップ面積縮小による1チップあたりのコスト削減に有利である。

10 第3図は、上記の不揮発性メモリの2ビットの情報を記録した状態を示す図である。図中、黒丸は電子を示す。第3図(1)は、第1及び第2のトラップゲート領域TSD1, TSD2のいずれにも電子が捕獲されていない状態で、データ=11を示す。第3図(2)は、第2のトラップゲート領域TSD2に電子が捕獲されている状態で、データ=01を示す。第3図(3)は、第1及び第2のトラップゲート領域TSD1, TSD2に電子が捕獲されている状態で、データ=00を示し、更に、第3図(4)は、第1のトラップゲート領域TSD1に電子が捕獲されている状態で、データ=10を示す。

15 上記の2ビット不揮発性メモリは、1つのメモリセルで2ビットを記憶することができて、大容量化に有利であるが、最近の不揮発性メモリに要求される大容量化の要請は、更に厳しい。即ち、静止画像データから音楽データ、更に動画データまで記録することが要求される場合、更に多くのビットを1つのメモリセルで記録することができることが望まれる。

20 そこで、本発明の目的は、1つのメモリセルで3ビットの情報を記録することができる新規な不揮発性メモリを提供することにある。

更に、本発明の目的は、1つのメモリセルで3ビットの情報を記録することができる新規な不揮発性メモリの読み出し方法、プログラム方法、消去方法などを提供することにある。

## 発明の開示

上記の目的を達成するために、本発明の一つの側面は、半導体基板の表面に、第1及び第2のソース・ドレイン領域と、その間のチャネル領域上に、絶縁膜を介して非導電性のトラップゲートと導電性のフローティングゲートとを有する不揮発性メモリである。そして、本発明の不揮発性メモリは、第1及び第2のソース・ドレイン領域間に電圧を印加して、第1または第2のソース・ドレイン領域の近傍に発生させたホットエレクトロンを、それら近傍の第1または第2のトラップゲート領域に局所的に捕獲する第1または第2の状態と、コントロールゲートとチャネル領域間に電圧を印加して、トラップゲート全体に電子（または電荷）を注入する第3の状態とを有する。

10 上記の第3の状態にするかしないかにより、1ビットの情報が記録され、第1及び第2の状態にするかしないかにより、2ビットの情報が記録される。従って、合計で3ビットの情報が1つのメモリセルに記録されることになる。

上記の目的を達成するために、本発明の別の側面は、多ビット情報を記録する不揮発性メモリにおいて、

15 半導体基板表面に形成された第1及び第2のソース・ドレイン領域と、その間のチャネル領域上に形成された第1の絶縁層、非導電性のトラップゲート、第2の絶縁層、及びコントロールゲートとを有し、  
前記トラップゲート内に局所的に電荷をトラップする第1の状態と、前記トラップゲート全体に電荷を注入する第2の状態とを有することを特徴とする。

20 上記の発明によれば、非導電性のトラップゲート全体に電子を注入する場合と、局所的に注入する場合とで、異なるデータを記録することができる。局所的に注入する位置を複数にすることで、より多くのデータを記録することができる。

上記の発明の好ましい実施例は、前記第1の状態への書き込みには、前記第1及び第2のソース・ドレイン領域間に所定の電圧を印加して、前記チャネル領域に発生させたホットエレクトロンを注入することで行われ、前記第2の状態への書き込みには、前記半導体基板と前記コントロールゲート間に所定の電圧を印加して、電荷をトンネル注入することで行われることを特徴とする。

上記の発明の好ましい実施例は、前記半導体基板と前記コントロールゲート間

に所定の消去電圧を印加して、前記トラップゲート全体または前記トラップゲートの局所領域に存在する電荷を引き抜くことで、消去動作が行われることを特徴とする。

上記の発明の好ましい実施例は、順番に電圧が異なる第1の読み出し電圧、第5 2の読み出し電圧及び第3の読み出し電圧とを有し、前記第2の読み出し電圧が前記コントロールゲートに印加されて、前記第2の状態か否かが読み出され、前記第1または第3の読み出し電圧が前記コントロールゲートに印加されて、前記第1の状態か否かが読み出されることを特徴とする。

上記目的を達成するために、本発明の更に別の側面は、多ビット情報を記録する不揮発性メモリにおいて、

半導体基板表面に形成された第1及び第2のソース・ドレイン領域と、その間のチャネル領域上に形成された第1の絶縁層、非導電性のトラップゲート、第2の絶縁層、及びコントロールゲートとを有し、

前記トラップゲート内であって前記第1のソース・ドレイン領域の近傍の第1のトラップゲート領域に、電荷をトラップする第1の状態と、前記トラップゲート内であって前記第2のソース・ドレイン領域の近傍の第2のトラップゲート領域に、電荷をトラップする第2の状態と、前記トラップゲート全体に電荷を注入する第3の状態とを有することを特徴とする。

## 20 図面の簡単な説明

第1図は従来の2ビット不揮発性メモリの構成を示す図である。

第2図は従来の2ビット不揮発性メモリのプログラム、消去及び読み出しを説明するための図である。

第3図は従来の不揮発性メモリの2ビットの情報を記録した状態を示す図である。

第4図は本実施の形態例における不揮発性メモリの3ビット情報に対応する電子のトラップ状態を示す図である。

第5図は本実施の形態例における不揮発性メモリの3ビット情報に対応する閾

値電圧の状態を示す図である。

第6図は本実施の形態例における不揮発性メモリの第1の読み出し動作のフローチャート図である。

第7図は本実施の形態例におけるメモリセルアレイの例を示す回路図である。

5 第8図は本実施の形態例における不揮発性メモリの第2の読み出し動作のフローチャート図である。

第9図は第2の読み出し動作で利用するセンスアンプ回路の回路図である。

第10図は本実施の形態例における不揮発性メモリの書き込み（プログラム）動作を説明するフローチャート図である。

10 第11図は本実施の形態例における不揮発性メモリの書き込み（プログラム）動作を説明するフローチャート図である。

第12図は本実施の形態例における不揮発性メモリの消去動作を示す図である。

#### 発明を実施するための最良の形態

15 以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

本実施の形態例の不揮発性メモリは、第1図に示した通り、例えばP型の半導体基板1の表面に、N型の第1及び第2のソース・ドレイン領域SD1, SD2を有する。また、それらの間のチャネル領域上には、順番にシリコン酸化膜2、  
20 例えればシリコン窒化膜からなる非導電性のトラップゲートTG、シリコン酸化膜2、そして導電性のコントロールゲートCGが形成される。トラップゲートTGは、シリコン酸化膜2に埋め込まれて、電気的にフローティング状態にある。また、トラップゲートTGは、非導電性材料が好ましく、シリコン窒化膜などの絶縁性物質が利用される。

25 本実施の形態例の不揮発性メモリは、トラップゲートTGに局所的に電子をトラップさせるか否かの状態に加えて、トラップゲートTG内全体に電子をトラップするか否かの状態を有する。即ち、従来例において示したのと同様に、第1及び第2のソース・ドレイン領域SD1, SD2の近傍のトラップゲートTGの領

域にホットエレクトロンを局所的にトラップすることで、2ビット情報を記録する。更に、本実施の形態例では、トラップゲートTG全体にコントロールゲートCGと半導体基板1との間に電界を印加して電子をトンネル注入することで、トラップゲート全体に電子をトラップすることで、更に1ビットの情報を記録する。

5 第4図は、本実施の形態例における不揮発性メモリの3ビット情報に対応する電子のトラップ状態を示す図である。また、第5図は、同様に本実施の形態例における不揮発性メモリの3ビット情報に対応する閾値電圧の状態を示す図である。第4図には、トラップゲートTG内の全体TALLに電子がトラップされている状態と、トラップゲートTGの第1及び第2のソース・ドレイン領域SD1, SD2の近傍の局所的な領域、第1及び第2のトラップゲート領域TSD1, TSD2、に電子がトラップされている状態との組み合わせが示される。また、第5図には、メモリセルのチャネル領域を、第1及び第2のトラップゲート領域TSD1, TSD2に対応する部分と、その間のトラップゲートの中央領域TCNに対応する部分とに分けて、それぞれの閾値電圧状態を示す。

10 尚、第5図に示された、電圧V(0)、V(1)、V(2)は、読み出し時にコントロールゲートCGに印加される第1、第2及び第3の読み出し電圧を示す。また、本実施の形態例において、データ0は、読み出し電圧を印加してチャネルに電流が流れない状態（非導通）に対応し、データ1は、チャネル電流が流れる状態（導通）に対応する。

15 本実施の形態例の不揮発性メモリは、3ビットの情報を記憶するが、トラップゲートTG全体に電子が捕獲されるか否かで、最上位ビットの情報を、第1のトラップゲート領域TSD1に電子が捕獲されるか否かで2ビット目の情報を、そして、第2のトラップゲート領域TSD2に電子が捕獲されるか否かで、3ビット目（最下位ビット）の情報をそれぞれ記憶する。

20 最初に、メモリセルは、トラップゲートTGに何も電子がトラップされていない状態で、データ=111を記憶する。この状態では、第5図に示される通り、3つの領域TSD1, TSD2, TCN（トラップゲートの中央領域）のいずれも閾値電圧は低い状態にある。即ち、電圧V(0)より低い状態にある。

次に、メモリセルは、第2のトラップゲートTSD2に電子がトラップされている状態で、データ=110を記憶する。この状態では、第5図に示される通り、領域TSD2における閾値電圧のみが、第1の読み出し電圧V(0)より高くなる。それ以外の領域TSD1, TCNにおける閾値電圧は、第1の読み出し電圧V(0)より低いままである。

更に、第1のトラップゲートTSD1に電子がトラップされている状態で、データ=101を記憶する。この状態では、第5図に示される通り、領域TSD1における閾値電圧のみが、第1の読み出し電圧V(0)より高くなる。それ以外の領域TSD2, TCNにおける閾値電圧は、第1の読み出し電圧V(0)より低いままである。

そして、第1及び第2のトラップゲートTSD1, TSD2に電子がトラップされている状態で、データ=100を記憶する。この状態では、第5図に示される通り、領域TSD1, TSD2における閾値電圧が、第1の読み出し電圧V(0)より高くなる。そして、中央の領域TCNにおける閾値電圧は、第1の読み出し電圧V(0)より低いままである。

上記の3つの状態は、後述する通り、第2の読み出し電圧V(1)と第1の読み出し電圧V(0)を利用することにより、読み出すことが可能である。

データ=011, 010, 001, 000は、全てトラップゲートTG全体に電子がトラップされている状態であって、上記と同様に、それぞれ第1及び第2のトラップゲート領域TSD1, TSD2に電子がトラップされていない状態(011)、第2のトラップゲート領域TSD2に電子がトラップされている状態(010)、第1のトラップゲート領域TSD1に電子がトラップされている状態(001)、及び第1及び第2のトラップゲートTSD1, TSD2の両方に電子がトラップされている状態(000)に対応する。

25 その場合、第5図に示される通り、上記の4つの状態は、全ての領域TSD1, TSD2, TCNにおいて、閾値電圧が第2の読み出し電圧V(1)より高い。そして、領域TSD1, TSD2が、第3の読み出し電圧V(2)より高いか低いかに分けられる。即ち、ファウラー・ノルドハイム・トンネル現象(以下FN

トンネル現象と称する)により、トラップゲートTG全体に電子が注入されると、それだけでメモリセルトラップゲートの閾値電圧は第2の読み出し電圧V(1)よりも高くなる。そして、更に、第1または第2のトラップゲート領域TSD1, TSD2に局所的に電子をトンネル注入すると、それぞれに対応する領域の閾値電圧が、第3の読み出し電圧V(2)より高くなる。

従って、上記の4つの状態は、第2の読み出し電圧V(1)と第3の読み出し電圧V(2)とにより読み出すことができる。

次に、本実施の形態例における不揮発性メモリの書き込み(プログラム)動作、読み出し動作、そして消去動作を順に説明する。

#### 10 [読み出し動作1]

第1の読み出し動作として、3ビットのデータを一度に読み出す場合について説明する。第6図は、本実施の形態例における不揮発性メモリの第1の読み出し動作のフローチャート図である。3ビットのデータを検出するためには、5工程S1～S5を必要とする。以下に説明する通り、第1、第2及び第3の読み出し電圧V(0)、V(1)、V(2)を適宜コントロールゲートCGに印加し、第1及び第2のソース・ドレイン領域に電圧V(SD1)、V(SD2)を、両領域間に右方向または左方向の電界になるように適宜印加して読み出しが行われる。

まず、工程S1に示す通り、メモリセルへの印加電圧をVg=V(0)、V(SD1)=1.6V、V(SD2)=0Vにする。この時、セルトランジスタが導通(読み出しデータ1)であれば、中心の閾値電圧(以下Vt#centerと略す)は第1の読み出し電圧V(0)より小さく、また第2のトラップゲート領域TSD2付近の閾値電圧(以下Vt#sd2と略す)も第1の電圧V(0)より小さいので、格納されているデータは101か111であるとわかる。セルトラップゲートが非導通(読み出しデータ0)ならば、中心の閾値電圧はVt#center>V(0)もしくはVt#sd2>V(0)と考えられ、それ以外のデータが格納されていることが検出される。

次に工程S2に示す通り、コントロールゲートへの印加電圧はVg=V(0)のままで、第1及び第2のソース・ドレイン領域の印加電圧V(SD1)とV(SD2)とを入れ替える。この時、工程S1で導通してデータ1が読み出され、工程S2でも導通して

データ 1 が読み出された場合は、閾値電圧は  $V_{t\#center} < V(0)$ かつ  $V_{t\#sd2} < 0$  であり、かつ第 1 のトラップゲート領域 T SD1 付近の閾値電圧（以下  $V_{t\#sd1}$  と略す）も第 1 の読み出し電圧  $V(0)$  より小さいので、データは 1 1 1 と特定される。工程 S 1 で導通してデータ 1 が読み出され、工程 S 2 で非導通になりデータ 0 が読み出  
5 された場合は、閾値電圧は  $V_{t\#center} < V(0)$ 、 $V_{t\#sd2} < V(0)$ 、かつ  $V_{t\#sd1} > V(0)$  なので、データは 1 0 1 と特定される。

一方、工程 S 1 で非導通になりデータ 0 が読み出され、工程 S 2 で導通してデータ 1 が読み出された場合、閾値電圧は  $V_{t\#center} < V(0)$ 、 $V_{t\#sd2} > V(0)$ 、 $V_{t\#sd1} < V(0)$  なので、データは 1 1 0 と特定される。工程 S 1 で非導通になりデータ 0  
10 が読み出され、工程 S 2 でも非導通になりデータ 0 が読み出された場合は、 $V_{t\#center} > V(0)$  もしくは  $V_{t\#sd2} > V(0)$  かつ  $V_{t\#sd1} > V(0)$  と考えられ、上記で特定されたデータ以外のデータが格納されていると判定される。

次に、工程 S 3 では、メモリセルへの印加電圧を  $V_g = V(2)$ 、 $V(SD1) = 1.6V$ 、  
15  $V(SD2) = 0V$  にする。この時、セルトランジスタが非導通になり読み出されたデータが 0 ならば、閾値電圧は  $V_{t\#sd2} > V(2)$  なので、格納されているデータは 0 1 0 か 0 0 0 であるとわかる。セルトランジスタが導通して読み出されたデータが 1 であれば、閾値電圧は  $V_{t\#sd2} < V(2)$  なので、格納されているデータは 0 0 1、1 0 0、0 1 1 のどれかと判定できる。

次に、工程 S 4 では、コントロールゲートへの印加電圧を  $V_g = V(2)$  のままで、第  
20 1 及び第 2 のソース・ドレイン領域への電圧  $V(SD1)$  と  $V(SD2)$  とを入れ替える。この時、工程 S 3 で非導通になりデータ 0 が読み出され、工程 S 4 でも非導通になりデータ 0 が読み出された場合は、閾値電圧は  $V_{t\#sd2} > V(2)$  かつ  $V_{t\#sd1} > V(2)$  なので、データは 0 0 0 と特定される。

一方、工程 S 3 で非導通になりデータ 0 が読み出され、工程 S 4 で導通になり  
25 データ 1 が読み出された場合は、閾値電圧は  $V_{t\#sd2} > V(2)$  かつ  $V_{t\#sd1} < V(2)$  なので、データは 0 1 0 と特定される。

他方、工程 S 3 で導通してデータ 1 が読み出され、工程 S 4 で非導通になりデータ 0 が読み出された場合、閾値電圧は  $V_{t\#sd2} < V(2)$  かつ  $V_{t\#sd1} > V(2)$  なので、デ

ータは001と特定される。また、工程S3で導通してデータ1が読み出され、工程S4でも導通してデータ1が読み出された場合、 $Vt\#center < V(0)$ 、 $Vt\#sd2 > V(0)$ かつ $Vt\#sd1 > V(0)$ か、 $Vt\#center > V(0)$ 、 $Vt\#sd2 < V(2)$ かつ $Vt\#sd1 < V(2)$ の2つの状態が考えられる。即ち、データ100か011である。

5 最後に100か011かを特定するために、工程S5に示される通り、印加電圧を $Vg=V(1)$ 、 $V(SD1)=1.6V$ 、 $V(SD2)=0V$ にする。第1及び第2のソース・ドレイン領域への電圧 $V(SD1)$ と $V(SD2)$ は逆の関係でもよい。この時、コントロールゲートに第2の読み出し電圧 $V(1)$ が印加されているので、セルトランジスタが導通してデータ1が読み出されれば、閾値電圧は $Vt\#center < V(1)$ なので、データは100  
10 と特定される。逆に、非導通になりデータ0が読み出されれば、閾値電圧は $Vt\#center > V(1)$ なので、データは011と特定される。

以上のメモリセルへの電圧印加例は一例であり、種々の変形例が考えられる。例えば、最初に上記工程S5の如く、コントロールゲートCGへの電圧 $Vg$ を第2の読み出し電圧 $V(1)$ にして、導通するか否かをチェックすることで、最上位ビットが0か1かに分離することができる。そして、その後、上記の工程S1, S2を実行することで、データ111～100を検出することができる。或いは、上記の工程S3, S4を実行することで、データ011～000を検出することができる。

第7図は、本実施の形態例におけるメモリセルアレイの例を示す回路図である。  
20 第7図には、4本のビット線BL0～BL3と2本のワード線WL0, WL1とが示され、それらの交差位置にメモリセルMC00～MC13が配置される。それぞれのメモリセルの第1及び第2のソース・ドレイン領域は、ビット線に接続され、コントロールゲートはワード線に接続される。

ワード線はワードデコーダWDECにより選択され、ビット線はコラムデコーダにより選択されたコラム選択信号CL0～CL3により選択されたトランジスタを介して、センスアンプ及びソース制御回路10A, 10Bに接続される。また、それらの回路10A, 10Bが読み出したデータが、読み出し回路12に供給され、上記した読み出しシーケンスの結果、3ビットのデータが出力端子DQ

0～D Q 2に出力される。

上下に設けられたコラムゲートトランジスタQ C L 0～Q C L 3の導通を適宜組み合わせることで、メモリセルの第1及び第2のソース・ドレイン領域に読み出し用の電圧を印加することができ、メモリセルの導通と非導通に対応するデータ

5 1, 0を読み出すことができる。

[読み出し動作2]

次に、3ビットのデータをシーケンシャルに読み出す第2の読み出し動作を説明する。第8図は、本実施の形態例における不揮発性メモリの第1の読み出し動作のフローチャート図である。また、第9図は、その場合のセンスアンプ回路の

10 回路図である。第8図中の工程S 1～S 5は、第6図の工程S 1～S 5に対応する。

第2の読み出し動作では、各メモリセルに3ビットのデータが記憶されているので、その最上位桁（トラップゲート全体に電子がトラップされているか否か）

と、2番目の桁（第1のトラップゲート領域に電子がトラップされているか否か）

15 ）と、3番目の桁（第2のトラップゲート領域に電子がトラップされているか否か）とに、 $3 * n$ 番地、 $3 * n + 1$ 番地、 $3 * n + 2$ 番地（但し $n$ は0以上の整数）のアドレス割り当てで読み出し動作を行う。従って、第8図中、Aは上記のアドレスを示す。

第9図に示したセンスアンプ回路は、ビット線B LにコラムゲートQ C Lを介

20 してトランジスタP 1 1, N 1 0からなるプリセンス回路が接続され、インバータ1 5を介して、メインアンプ側に接続される。ラッチ回路1 7には、トラップゲート全体に電子がトラップされているか否かの最上位桁のデータがラッチされ、出力インバータP 1 3, P 1 4, N 1 5, N 1 6を介して出力端子OUTに出力される。また、第1または第2のトラップゲート領域に電子がトラップされているか否かの2桁目及び3桁目のデータは、ラッチ回路2 6にラッチされ、出力インバータP 1 7, P 1 8, N 1 9, N 2 0を介して出力端子OUTに出力される。

第8図にもどり、最初に $n$ を0にセットし（S 1 0）、アドレスを最上位桁の $3 * n$ にして（S 1 1）データの読み出しを始める。

最初の読み出し工程として、工程 S 5 に示される通り、コントロールゲートに第 2 の読み出し電圧を印加し ( $V_g=V(1)$ ) 、トラップゲート全体に電子が蓄積されているかどうかをチェックする。その為に、第 9 図のセンスアンプ回路では、電圧印加を  $SNS1=High$ 、 $SNS2=SNS3=Low$  にし、トランジスタ  $N12$ 、 $P14$ 、 $N15$  を導通させ、トランジスタ  $N17$ 、 $N18$  を非導通にさせる。

もしトラップゲート全体に電子が蓄積されていれば、メモリセル MC は導通せずに、ノード  $n1$  は H レベルになり、インバータ  $I5$  により反転されて、ラッチ回路  $I7$  にラッチされ、出力は  $OUT=Low$  (データ 0) となる。もしトラップゲート全体に電子が蓄積されていなければ、上記と逆になり、出力は  $OUT=High$  (データ 1) となる。これが 0 番地のデータとなる。このとき、制御信号は  $SNS1=High$  であるので、ラッチ回路  $I7$  内のノード  $L$  は、電子が蓄積されているか否かに伴うメモリセルの導通、非導通に従って、Low か High のいずれかにセットされる (S 12)。

次にアドレスを一つ進めて、 $A = 3 * n + 1$  とし (S 13) 、第 1 のトラップゲート領域  $TS1$  の電子の有無をチェックする。そして、コントロールゲートの電圧を第 1 の読み出し電圧  $V_g=V(0)$  とし、更に第 1 及び第 2 のソース・ドレイン領域の電圧を、 $V(SD1)=0V$ 、 $V(SD2)=1.6V$  とする (S 1)。更に、センスアンプ回路における制御信号を、 $SNS1=Low$ 、 $SNS2=High$ 、 $SNS3=Low$  にする。

このとき、上記の最上位ビット読み出し動作で電子がトラップされて非導通で、出力が  $OUT=Low$  (データ 0) だったメモリセルは、この工程 S 1 では読む必要がなく、データ出力は行われない。一方、最上位ビット読み出しで  $OUT=High$  (データ 1) だったメモリセルは 2 衍目のビットをセンスする必要がある。即ち、第 9 図のセンスアンプ回路において、ノード  $L$  が High にセットされ、NAND ゲート  $20$  が L レベルを出力し、トランジスタ  $N17$  が導通し、インバータ  $I5$  の出力はトランジスタ  $N17$  を介してラッチ回路  $I6$  にラッチされる。

もし第 1 のトラップゲート領域  $TS1$  に電子が蓄積されていれば、メモリセル MC は非導通になり、ラッチ回路  $I6$  内のノード  $M$  は  $M=Low$ 、電子が蓄積されていなければメモリセルは導通になり、ノード  $M$  は  $M=High$  になる。制御信号  $SNS2=High$

であるので、トラップゲート P18, N19 は導通状態になり CMOS インバータは活性化され、ノード M が High か Low かに従って、出力 OUT には High (データ 1) か Low (データ 0) が出力される。

次に最上位桁の読み出しの時に出力が OUT=Low (データ 0) だったメモリセルの 5 データを決定する為に、メモリセルへの印加電圧を  $V_g=V(2)$ 、 $V(SD1)=0V$ 、 $V(SD2)=1.6V$  とする (S4)。そして、センスアンプ回路の制御信号を  $SNS1=SNS2=Low$  、 $SNS3=High$  とする。このとき、もし第 1 のトラップゲート領域 TSD1 にトラップゲート全体に蓄積されている以上の電子が蓄積されていれば、メモリセルは非導通になり、出力は OUT=Low、蓄積されていなければ導通になり、出力は OUT=High 10 (データ 1) である (S15)。上記の工程 S1 と S4 により得られたデータが 2 衍目のデータとなる。

更に、アドレスを一つ進めて  $A = 3 * n + 2$  にする (S16)。そして、メモリセルへの印加電圧を  $V_g=V(0)$ 、 $V(SD1)=1.6V$ 、 $V(SD2)=0V$  とする (S2)。この時制御信号は  $SNS1=Low$ 、 $SNS2=High$ 、 $SNS3=Low$  である。このとき、上記の最上位桁の読み出し動作で OUT=Low (データ 0) だったメモリセルは読む必要がなく、データ出力は行われない。一方、最上位桁の読み出しで OUT=High (データ 1) だったメモリセルはセンスする必要があり、2 衍目の読み出しと同様にトランジスタ N17 が導通し、ラッチ回路 26 にデータがラッチされる。

もし第 2 のトラップゲート領域 TSD2 に電子が蓄積されていれば、メモリセルは 20 非導通となり、ノード M=Low、電子が蓄積されていなければメモリセルは導通となり、ノード M=High である。制御信号が  $SNS2=High$  なので、ノード M が High か Low かに従って、出力 OUT には High (データ 1) か Low (データ 0) が出力される (S17)。

次に最上位桁の読み出しで出力 OUT=Low (データ 0) だったメモリセルのデータ 25 を決定する為に、メモリセルへの印加電圧を  $V_g=V(2)$ 、 $V(SD1)=1.6V$ 、 $V(SD2)=0V$  とする (S4)。この場合は制御信号は、 $SNS1=SNS2=Low$ 、 $SNS3=High$  である。

このとき、もし第 2 のトラップゲート TSD2 に、トラップゲート領域全体に蓄積されている以上の電子が蓄積されていれば、メモリセルは非導通になり、出力は

OUT=Low (データ 0)、蓄積されていなければメモリセルは導通し、出力はOUT=High (データ 1) である (S 1 8)。上記工程 S 2 と S 4 により読み出されたデータが、3 行目のデータである。

以上で、1 つのメモリセルに対する 3 つのアドレスに対応するデータがシリアルに読み出すことができた。あとは次のメモリセルに進んで同じ動作を最終アドレスに達するまで繰り返すことになる。もちろん途中で読み出し動作を止めてもよいし、0 番地ではなく任意のアドレスからのシーケンシャルに読み出しも可能である。

[書き込み (プログラム) 動作]

10 第 10, 11 図は、本実施の形態例における不揮発性メモリの書き込み (プログラム) 動作を説明するフローチャート図である。第 10, 11 図は、トラップゲート TG に電子がトラップされていない消去状態 P 0 から、書き込み工程 S 1, S 2, S 3 を順次行うことで、3 ビット情報の 8 つの書き込み状態 P 3 0 ~ P 3 7 に至るフローチャートを示す。従って、第 10, 11 図を左右方向で結合することで、全体の書き込み (プログラム) の工程が示される。

通常、メモリセルアレイは、ワード線とビット線の交差位置にメモリセルが設けられる。そして、コントロールゲート CG、第 1 及び第 2 のソース・ドレイン領域 SD 1, SD 2、そしてチャネル領域に所定の電圧を印加して、複数のメモリセルに異なるデータを書き込むことが一般的である。従って、第 10, 11 図には、かかる複数のメモリセルへの書き込みができるようとする書き込み工程が示される。

最初に、第 10 図に従って、消去状態 P 0 からデータ = 1 0 0, 1 0 1, 1 1 0, 1 1 1 をメモリセルに書き込む場合について説明する。

書き込みは 3 つの工程 S 1, S 2, S 3 で行われる。工程 S 1 では、トラップゲート TG 全体に電子を蓄積させたくない所以、状態 P 1 0 に示される通り、印加電圧を  $V_g=15V$ 、 $V(SD1)=5V$ 、 $V(SD2)=5V$  として、FN トンネル現象を禁止してチャネルからトラップゲート TG への電子注入を禁止する。この時、後述する第 11 図の書き込み工程では、データ 0 0 0, 0 0 1, 0 1 0, 0 1 1 を書き込むメモリ

セルに対して電子の注入が行われる。

次に、工程 S 2 では、データ 100、101 を書き込むメモリセルには、状態 P 20 に示される通り、印加電圧を  $V_g=10V$ 、 $V(SD1)=6V$ 、 $V(SD2)=0V$  として、アバランシェ・ブレイクダウンにより発生したチャネル・ホット・エレクトロンを第 5 1 のソース・ドレイン領域 SD1 付近のトラップゲート領域 TSD1 に局所的に注入する。データ 110、111 のメモリセルには、第 1 のソース・ドレイン領域 SD1 付近のトラップゲート領域 TSD1 に電子を注入したくないので、状態 P 21 に示される通り、 $V_g=10V$ 、 $V(SD1)=0V$ 、 $V(SD2)=0V$  として、書き込みを禁止する。

工程 S 2 の書き込み動作後、メモリセルへの印加電圧を  $V_g=V(0)$ 、 $V(SD1)=0V$ 、  
10  $V(SD2)=1.6V$  として、書き込みベリファイを行う。ベリファイがパスすれば工程 S 3 へ進み、フェイルした場合はパスするまで工程 S 2 を繰り返す。上記ベリファイをパスすれば、第 1 のトラップゲート領域 TSD1 の閾値電圧が、第 1 の読み出し電圧  $V(0)$  を越える。但し、このとき書き込み後の閾値レベルが第 2 の読み出し電圧  $V(1)$  を越えないように注意する必要がある。従って、コントロールゲート CG に第 2 の読み出し電圧  $V_g=V(1)$  を印加してベリファイを行い、書き込み状態と判定された場合には、メモリセルへの印加電圧を  $V_g=-5V$ 、 $V(SD1)=5V$ 、 $V(SD2)=OPEN$  として消去動作を行い、再び工程 S 2 を行う。

最後に、工程 S 3 では、データ 100、110 を書き込むメモリセルには、状態 P 30、P 32 に示される通り、印加電圧を  $V_g=10V$ 、 $V(SD1)=0V$ 、 $V(SD2)=6V$  として、アバランシェ・ブレイクダウンにより発生したチャネル・ホット・エレクトロンを、第 2 のソース・ドレイン領域 SD2 付近の第 2 のトラップゲート領域 TSD2 に注入する。また、データ 101、111 を書き込むメモリセルには、第 2 のソース・ドレイン領域 SD2 付近の第 2 のトラップゲート TSD2 に電子を注入したくないので、状態 P 31、P 33 に示される通り、メモリセルへの印加電圧は 25  $V_g=10V$ 、 $V(SD1)=0V$ 、 $V(SD2)=0V$  として、書き込みを禁止する。

書き込み動作後、メモリセルへの印加電圧を  $V_g=V(0)$ 、 $V(SD1)=1.6V$ 、 $V(SD2)=0V$  として書き込みベリファイを行う。ベリファイがパスすれば書き込み動作を終了し、フェイルした場合はパスするまで工程 S 3 を繰り返す。この場合も、書き込み後の

閾値レベルが第2の読み出し電圧V(1)を越えないように注意する必要がある。その為に、コントロールゲートへの電圧をVg=V(1)としてベリファイを行い、メモリセルが非導通状態になって書き込み状態と判定された場合には、印加電圧をVg=-5V、V(SD1)=5V、V(SD2)=OPENとして消去動作を行い、再び工程S3を行う。

5 次に、第11図に従って、消去状態P0からデータ=000, 001, 010, 011をメモリセルに書き込む場合について説明する。

第10図の場合と同様に、書き込み動作は3つの工程S1～S3で行われる。工程S1では、トラップゲートTG全体に電子を蓄積させる必要があるので、状態P11に示す通り、印加電圧をVg=15V、V(SD1)=0V、V(SD2)=0Vとして、FNトンネ

10 ル現象を利用してチャネルからトラップゲートTGに電子を注入する。書き込み動作後、印加電圧をVg=V(1)、V(SD1)=1.6V、V(SD2)=0Vとして書き込みベリファイを行う。その結果、ベリファイがパスすれば工程S2へ進み、フェイルした場合はパスするまで工程S1を繰り返す。上記ベリファイがパスすると、閾値電圧は、第2の読み出し電圧V(1)より高くなる。

15 次に、工程S2では、データ000、001を書き込むメモリセルには、状態P22に示される通り、印加電圧をVg=10V、V(SD1)=6V、V(SD2)=0Vとして、アバランシェ・ブレイクダウンにより発生したチャネル・ホット・エレクトロンを第1のトラップゲート領域TSD1に注入する。データ010、011を書き込むメモリセルには、第1のトラップゲート領域TSD1に電子を注入したくないの

20 で、状態P23に示される通り、印加電圧をVg=10V、V(SD1)=0V、V(SD2)=0Vとして、書き込みを禁止する。

書き込み動作後、印加電圧をVg=V(2)、V(SD1)=0V、V(SD2)=1.6Vとして書き込みベリファイを行う。その結果、ベリファイがパスすれば工程S3へ進み、フェイルした場合はパスするまで工程S2を繰り返す。上記ベリファイがパスすれば、第25 1のトラップゲート領域TSD1に対応するチャネル領域の閾値電圧は、第3の読み出し電圧V(2)よりも高くなる。

最後に、工程S3では、データ000、010を書き込むメモリセルには、状態P34, 36に示される通り、印加電圧Vg=10V、V(SD1)=0V、V(SD2)=6Vとして、

アバランシェ・ブレイクダウンにより発生したチャネル・ホット・エレクトロンを第2のトラップゲート領域TSD2に注入する。また、データ001、011を書き込むメモリセルには、第2のトラップゲート領域TSD2に電子を注入したくないので、状態P35, 37に示される通り、印加電圧はVg=10V、V(SD1)=0V、(SD2)=0V

5 として、書き込みを禁止する。

書き込み動作後、Vg=V(2)、V(SD1)=1.6V、V(SD2)=0Vとして書き込みベリファイを行う。ベリファイがパスすれば書き込み動作を終了し、フェイルした場合はパスするまで工程S3を繰り返す。上記ベリファイがパスすれば、第2のトラップゲート領域TSD2に対応する閾値電圧が、第3の読み出し電圧V(2)より高くなる。

10 [消去動作]

本実施の形態例における不揮発性メモリの消去動作は、FNTンネル現象を利用して、トラップゲートTG内の電子をチャネル領域側に引き抜くことにより行われる。トラップゲートTG全体に電子が注入されている場合も、第1及び第2のトラップゲート領域に電子がトラップされている場合も、すべて、同様にして

15 消去することができる。

第12図は、本実施の形態例における不揮発性メモリの消去動作を示す図である。第12図には、4種類の消去動作が示される。第12図(a)の消去動作では、コントロールゲートCGにVg=-5V、チャネル領域にV(BULK)=10V、第1及び第2のソース・ドレイン領域をオープン(フローティング)にすると、トラップゲートTG内に捕獲されている電子が、トラップゲートTGの下側のゲート酸化膜をトンネル現象により通過し、チャネル領域に引き抜かれる。

20 第12図(b)は、上記の消去動作を、正電圧を利用して行う。即ち、コントロールゲートCGにVg=0V、チャネル領域にV(BULK)=15V、第1及び第2のソース・ドレイン領域をオープン(フローティング)にする。その結果、同様にして電子が引き抜かれる。

25 第12図(c)の消去動作では、チャネル領域とソース・ドレイン領域とを同電位にして、それらの間のPN接合が順バイアス状態になることを防止する。即ち、コントロールゲートCGにVg=-5V、チャネル領域にV(BULK)=10V、第1及び

第2のソース・ドレイン領域も10Vにする。それにより、トンネル現象により電子が引き抜かれる。

第12図(d)の消去動作は、上記の動作を正電圧を利用して行う。即ち、コントロールゲートCGに $V_g=0V$ 、チャネル領域に $V(BULK)=15V$ 、第1及び第2のソース・ドレイン領域を同様に15Vにする。それにより、ソース・ドレイン領域のPN接合が順バイアスに保たれたまま、トンネル現象によりトラップゲートTG内の電子が引き抜かれる。

以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

10

#### 産業上の利用可能性

以上、本発明によれば、非導電性のトラップゲートをゲート絶縁膜内に埋め込んで、トラップゲート全体にチャージを注入する状態と、トラップゲートの一部の領域に局部的にチャージを注入してトラップさせる状態とを利用することで、  
15 多値のデータを一つのメモリセルに記録することが可能になる。

## 請 求 の 範 囲

1. 多ビット情報を記録する不揮発性メモリにおいて、
  - 5 半導体基板表面に形成された第1及び第2のソース・ドレイン領域と、その間のチャネル領域上に形成された第1の絶縁層、非導電性のトラップゲート、第2の絶縁層、及びコントロールゲートとを有し、  
前記トラップゲート内に局所的に電荷をトラップする第1の状態と、  
前記トラップゲート全体に電荷を注入する第2の状態とを有することを特徴とする不揮発性メモリ。
  - 10 2. 請求の範囲1において、  
前記第1の状態は、前記第1及び第2のソース・ドレイン領域それぞれの近傍の第1及び第2のトラップゲート領域に、局所的に電荷をトラップする2つの状態を含むことを特徴とする不揮発性メモリ。
  - 15 3. 請求の範囲1または2において、  
前記第1の状態への書き込みには、前記第1及び第2のソース・ドレイン領域間に所定の電圧を印加して、前記チャネル領域に発生させたホットエレクトロンを注入することで行われ、  
前記第2の状態への書き込みには、前記半導体基板と前記コントロールゲート間に所定の電圧を印加して、電荷をトンネル注入することで行われることを特徴とする不揮発性メモリ。
  - 20 4. 請求の範囲1または2において、  
前記半導体基板と前記コントロールゲート間に所定の消去電圧を印加して、前記トラップゲート全体または前記トラップゲートの局所領域に存在する電荷を引き抜くことで、消去動作が行われることを特徴とする不揮発性メモリ。
  - 25 5. 請求の範囲1または2において、  
順番に電圧が異なる第1の読み出し電圧、第2の読み出し電圧及び第3の読み出し電圧とを有し、

前記第2の読み出し電圧が前記コントロールゲートに印加されて、前記第2の状態か否かが読み出され、

前記第1または第3の読み出し電圧が前記コントロールゲートに印加されて、前記第1の状態か否かが読み出されることを特徴とする不揮発性メモリ。

5 6. 請求の範囲2において、

順番に電圧が異なる第1の読み出し電圧、第2の読み出し電圧及び第3の読み出し電圧とを有し、

前記第2の読み出し電圧が前記コントロールゲートに印加されて、前記第2の状態か否かが読み出され、

10 前記第1または第3の読み出し電圧が前記コントロールゲートに印加されて、前記第1の状態か否かが読み出され、

更に、前記第1の状態か否かの読み出しにおいて、前記第1のソース・ドレイン領域に第2のソース・ドレイン領域より高い電圧を印加して、前記第2のトラップゲート領域についての前記第1の状態か否かが読み出され、前記第2のソース・ドレイン領域に第1のソース・ドレイン領域より高い電圧を印加して、前記第1のトラップゲート領域についての前記第1の状態か否かが読み出されることを特徴とする不揮発性メモリ。

7. 多ビット情報を記録する不揮発性メモリにおいて、

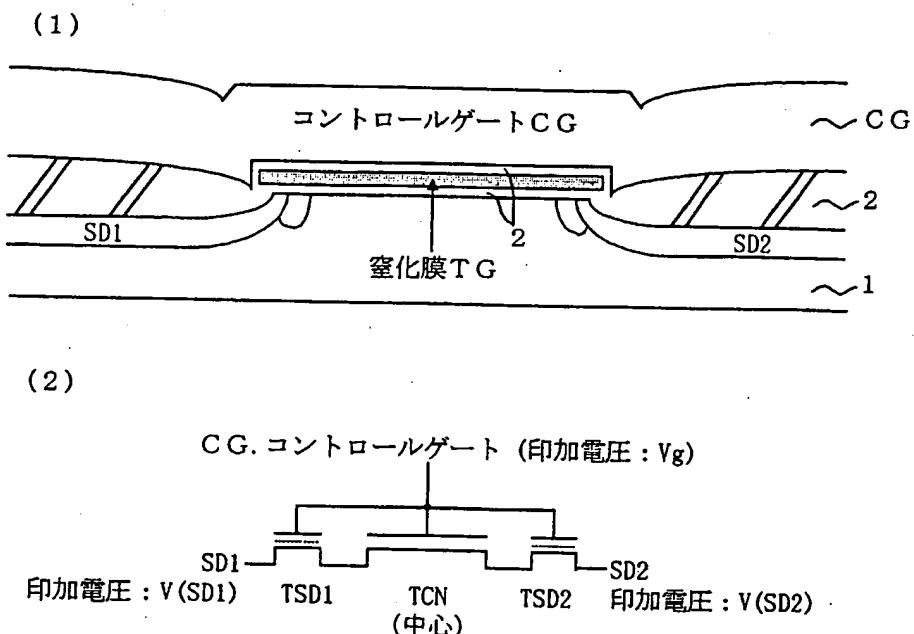
半導体基板表面に形成された第1及び第2のソース・ドレイン領域と、その間のチャネル領域上に形成された第1の絶縁層、非導電性のトラップゲート、第2の絶縁層、及びコントロールゲートとを有し、

前記トラップゲート内であって前記第1のソース・ドレイン領域の近傍の第1のトラップゲート領域に、電荷をトラップする第1の状態と、

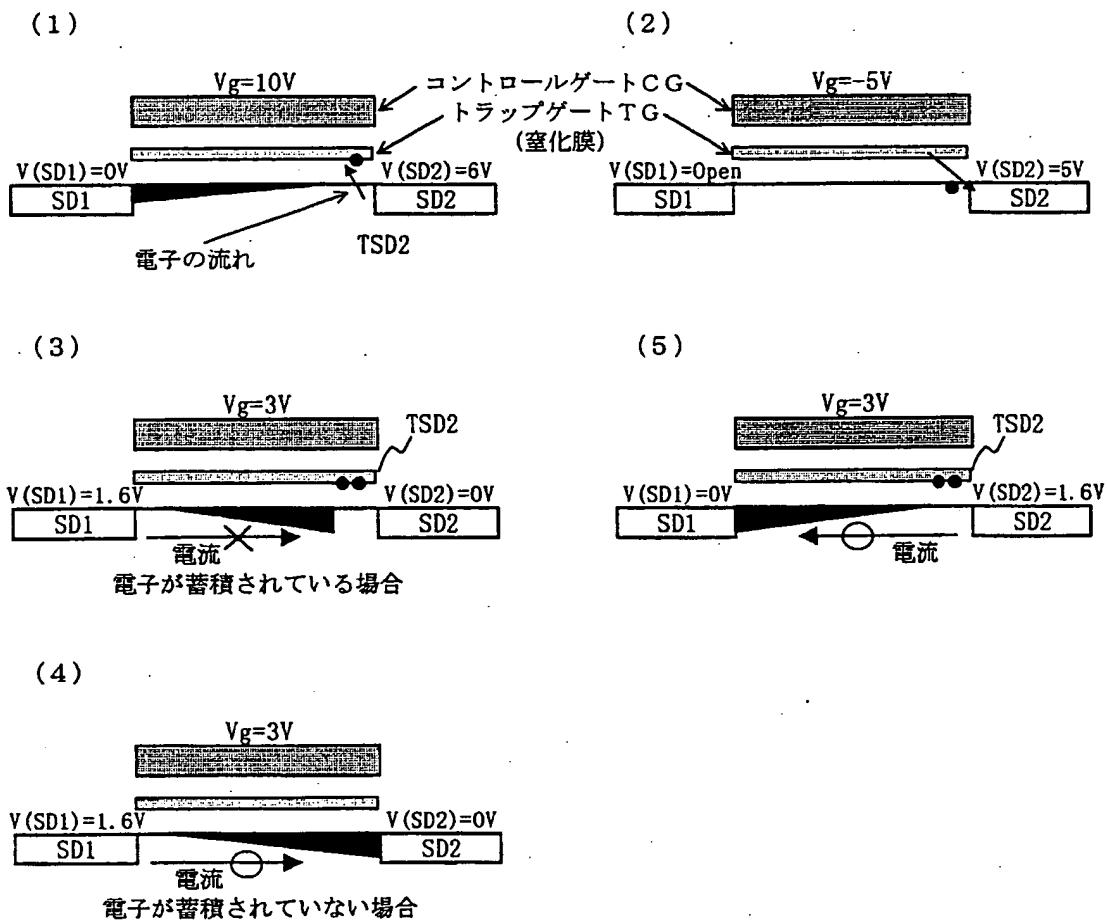
前記トラップゲート内であって前記第2のソース・ドレイン領域の近傍の第2のトラップゲート領域に、電荷をトラップする第2の状態と、

前記トラップゲート全体に電荷を注入する第3の状態とを有することを特徴とする不揮発性メモリ。

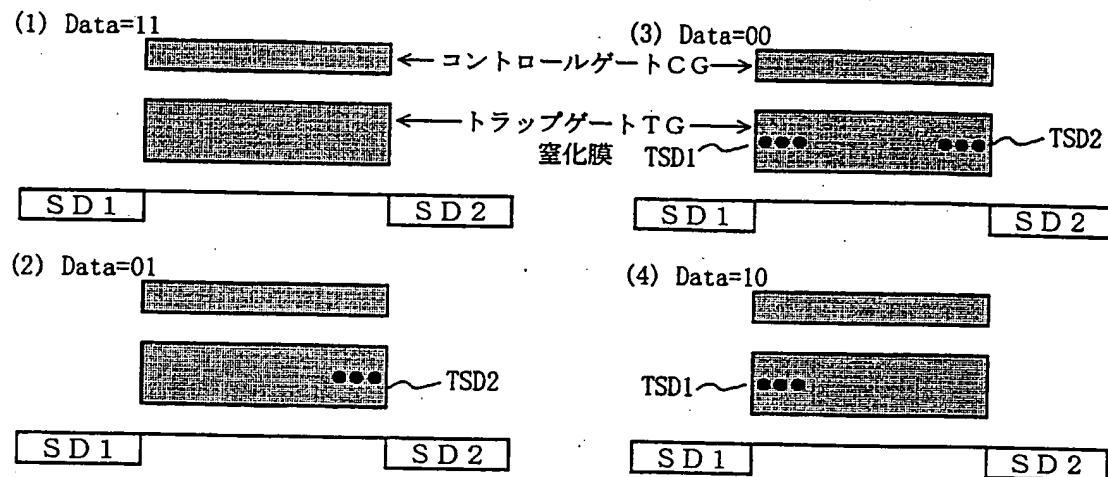
## 第1図



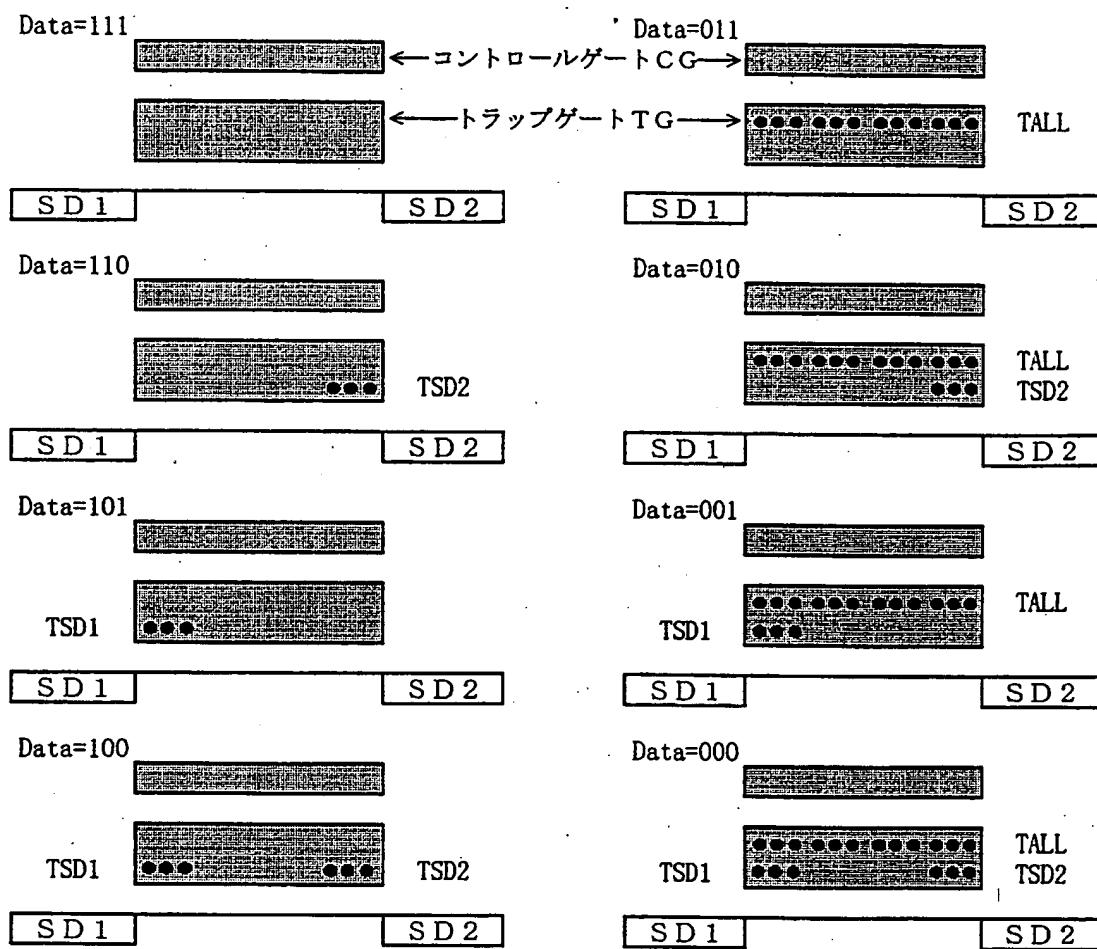
## 第2図



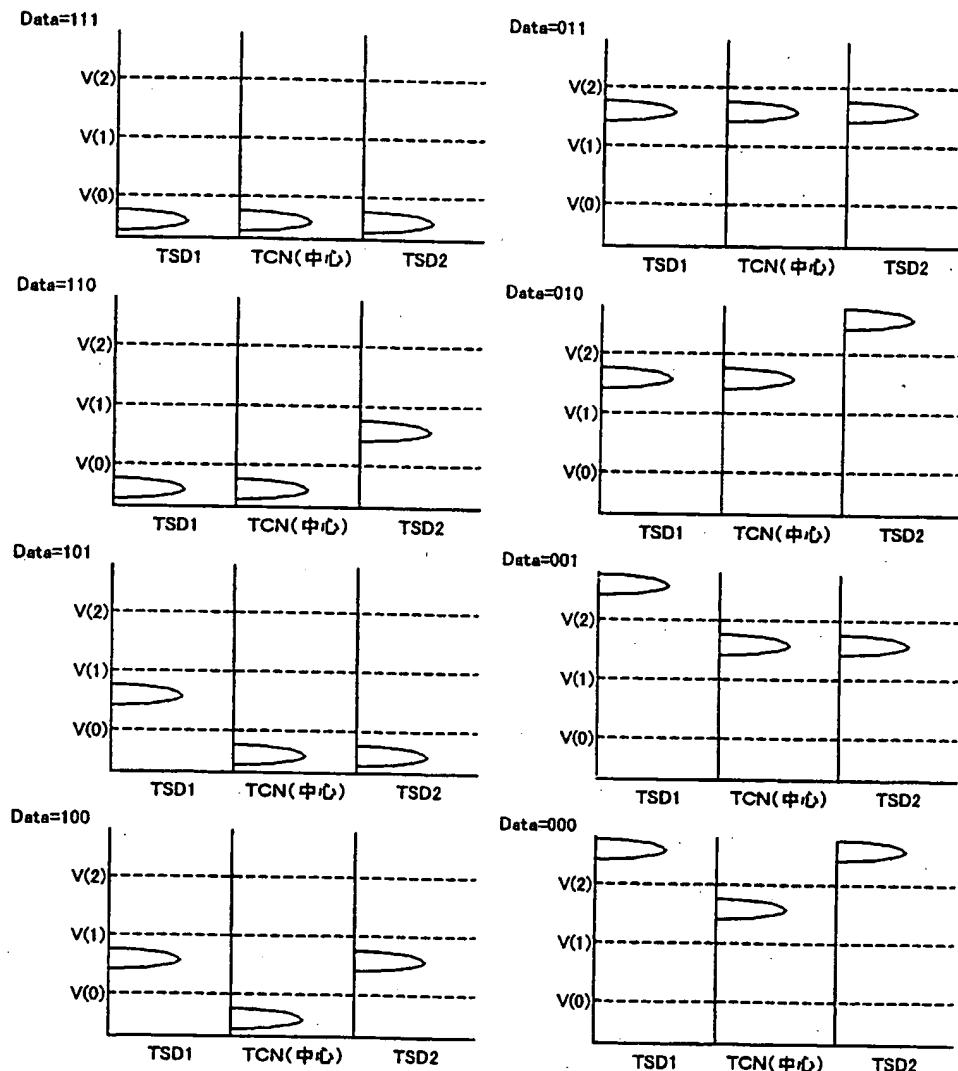
## 第3図



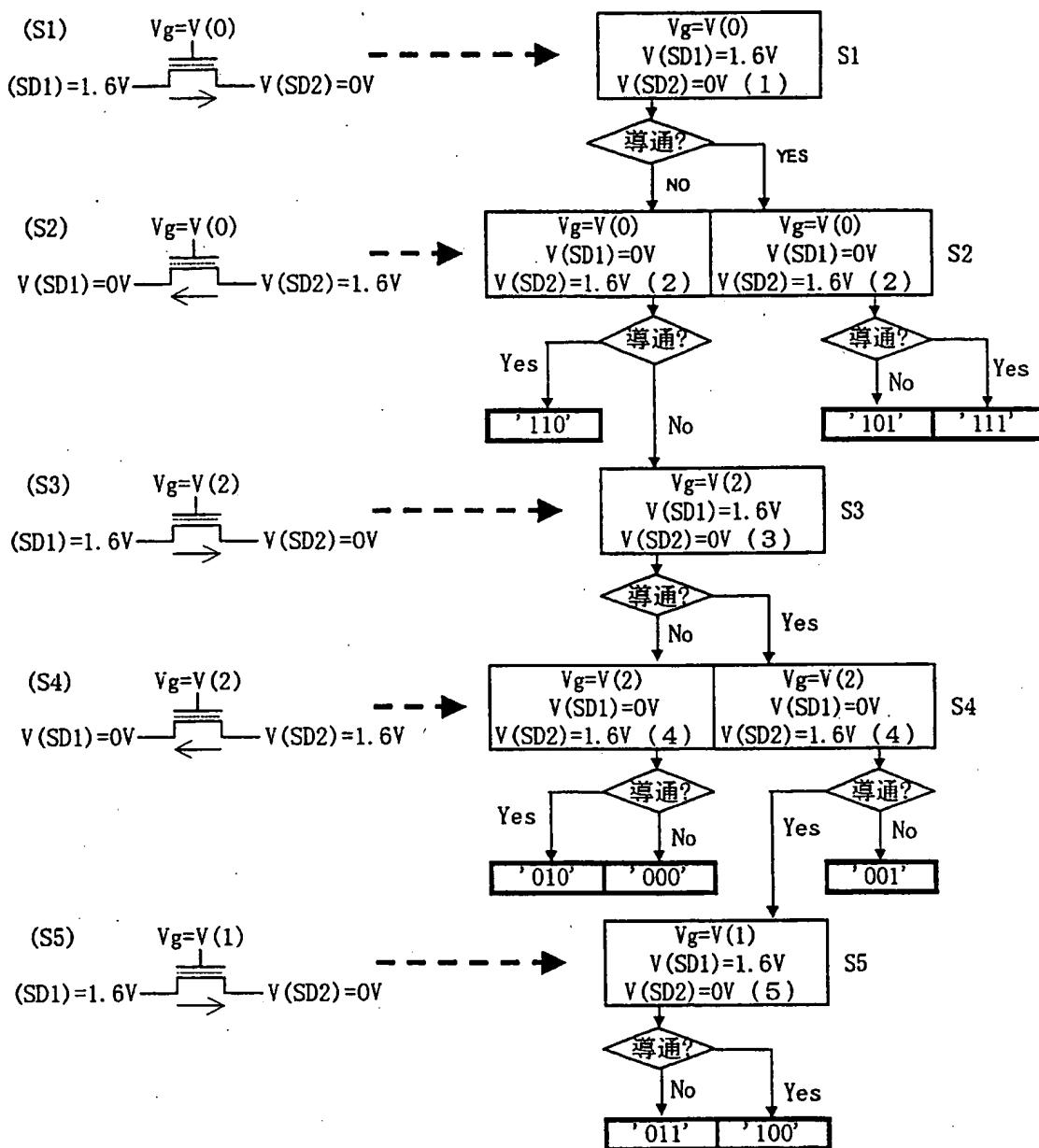
## 第4図



## 第5図

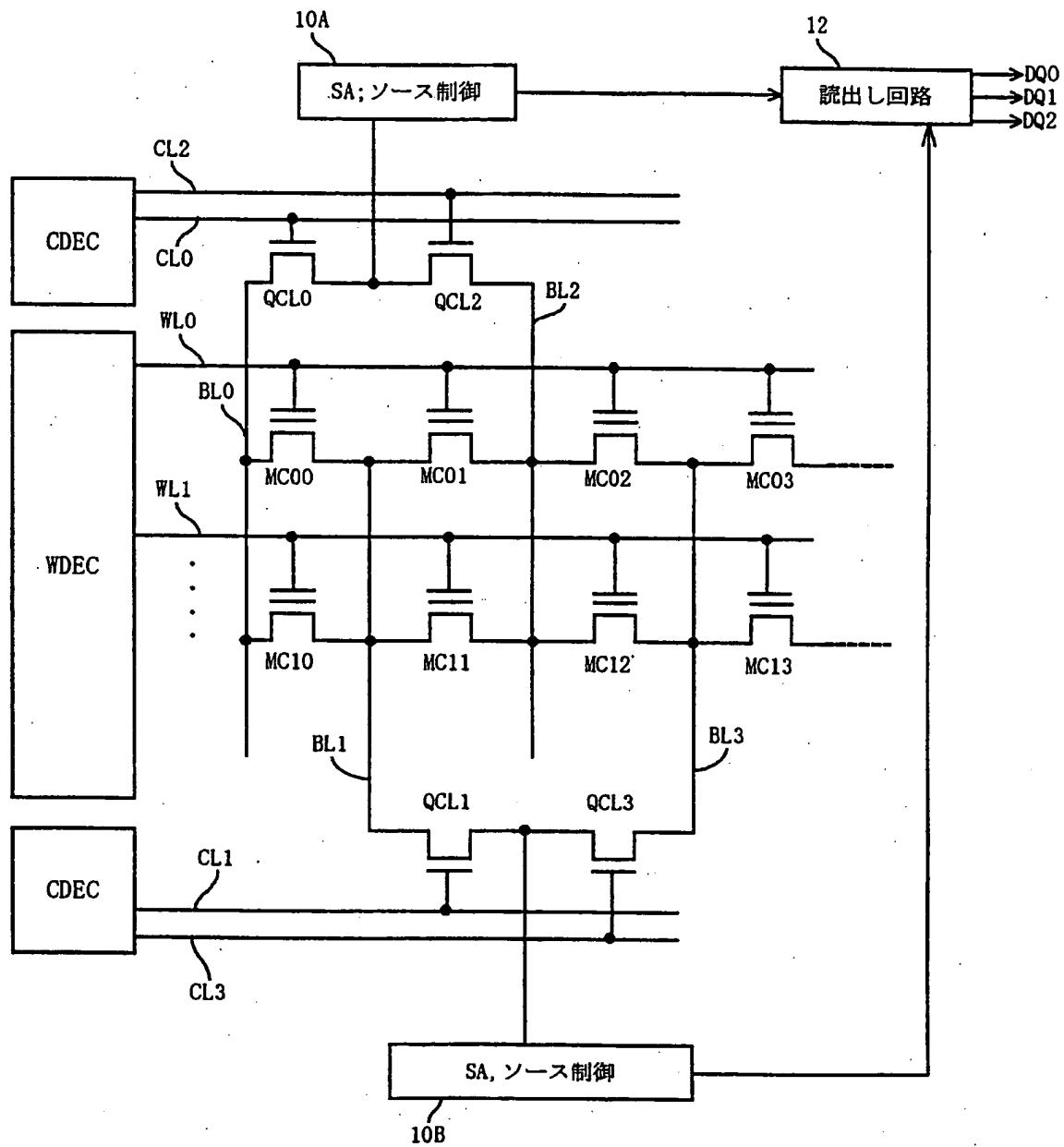


## 第6図

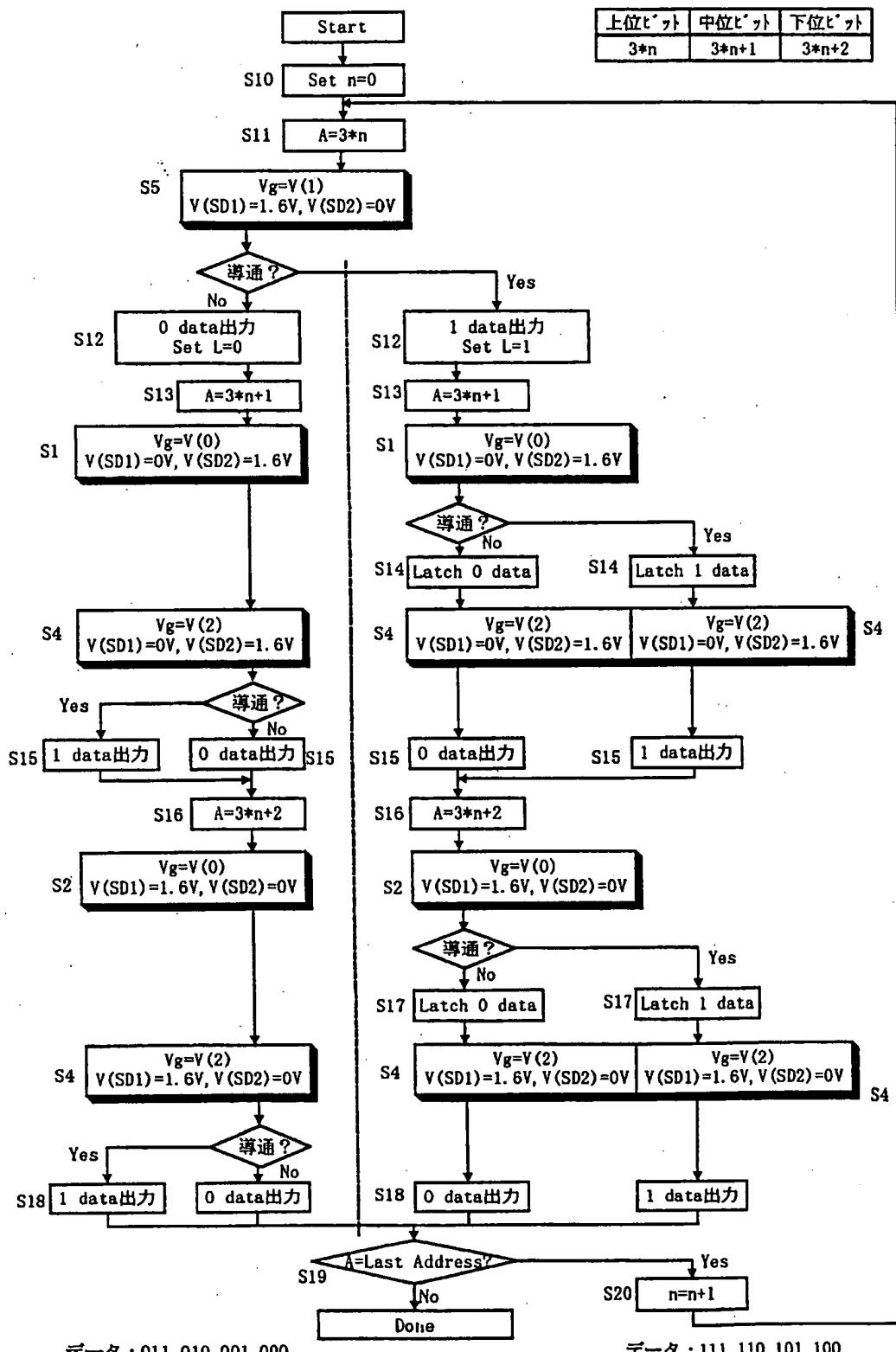


上位ビット	中位ビット	下位ビット
TCN(中心)	TSD1	TSD2

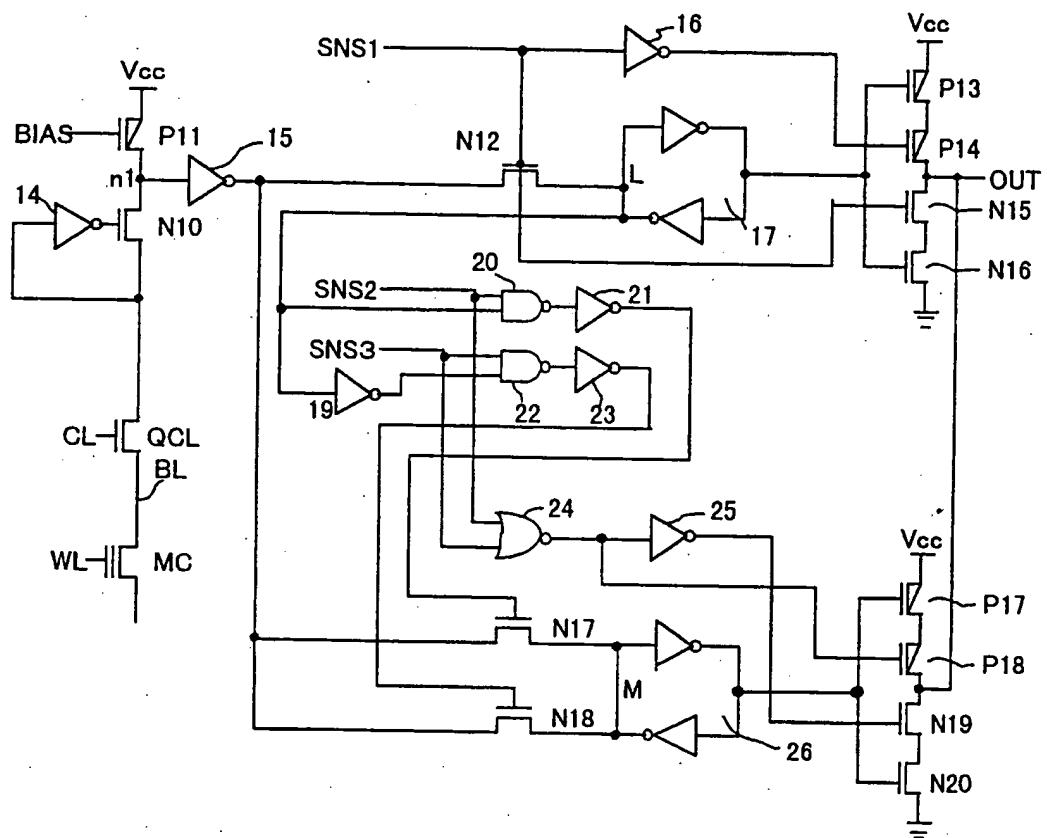
第7図



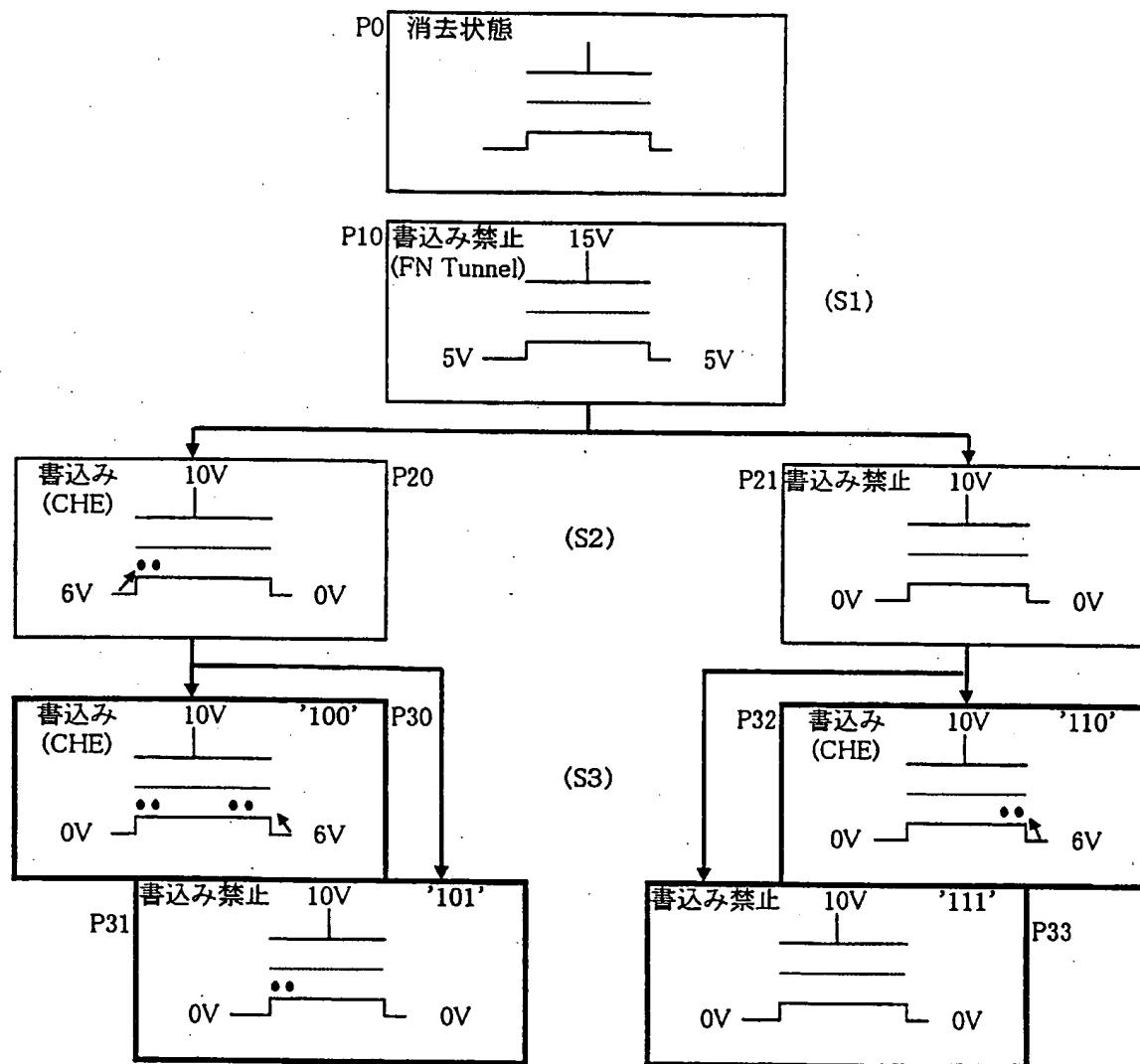
## 第8図



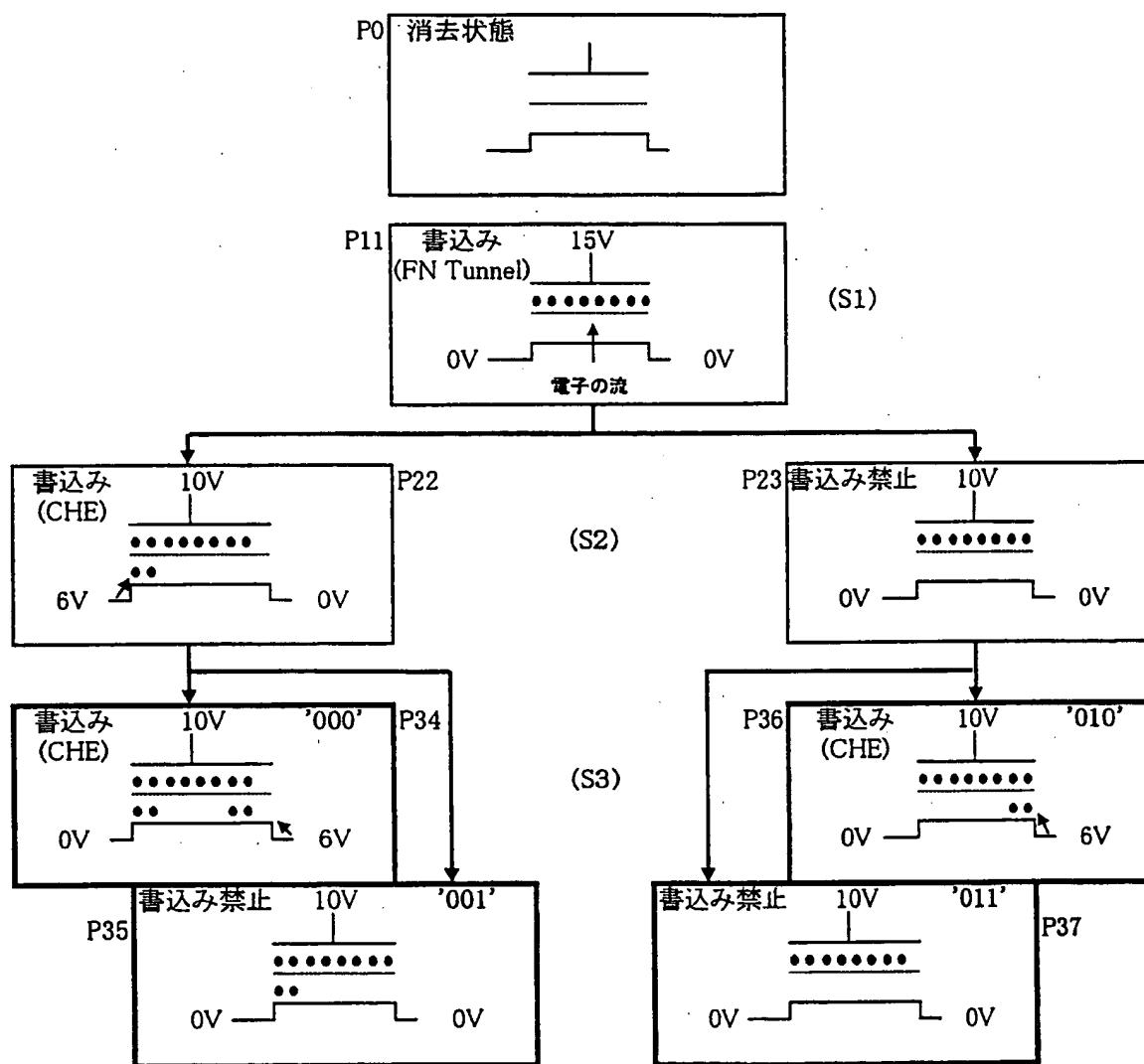
第 9 図



## 第 10 図

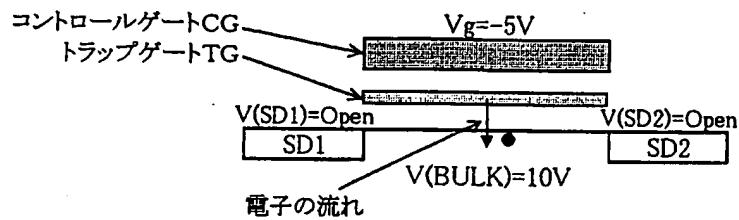


## 第 11 図

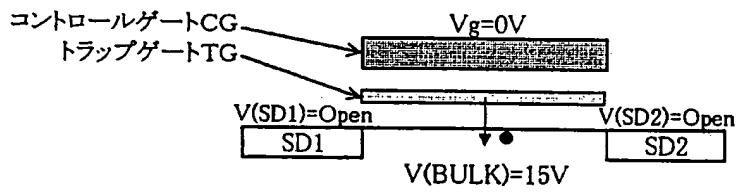


## 第 12 図

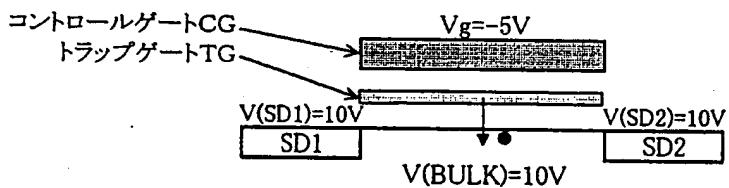
(a)



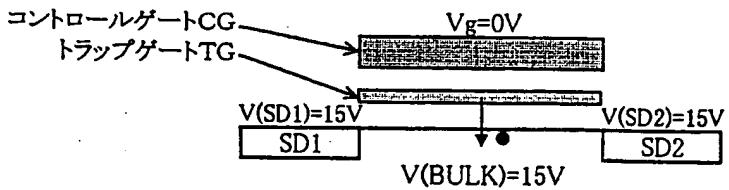
(b)



(c)



(d)



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01158

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G11C16/02 H01L29/788

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G11C16/02 H01L29/788

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000  
Kokai Jitsuyo Shinan Koho 1996-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 6-77498, A (Toshiba Corp.), 18 March, 1994 (18.03.94) (Family: none)	1-7
Y	JP, 11-8325, A (Nippon Steel Corp.), 12 January, 1999 (12.01.99), (Family: none)	1-7

 Further documents are listed in the continuation of Box C. See patent family annex.

• Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
15 May, 2000 (15.05.00)Date of mailing of the international search report  
30 May, 2000 (30.05.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C1' G11C16/02 H01L29/788

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C1' G11C16/02 H01L29/788

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2000年
日本国実用新案登録公報	1996-2000年
日本国登録実用新案公報	1994-2000年

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 6-77498, A (株式会社東芝) 18. 3月. 1994 (18. 03. 94) (ファミリーなし)	1-7
Y	JP, 11-8325, A (新日本製鐵株式会社) 12. 1月. 1 999 (12. 01. 99) (ファミリーなし)	1-7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日 15. 05. 00	国際調査報告の発送日 30.0500
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 加藤 俊哉 5M 9554 電話番号 03-3581-1101 内線 3597